

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-243994

(43)Date of publication of application : 19.09.1997

(51)Int.Cl. G02F 1/133
G02F 1/133
G09G 3/36

(21)Application number : 08-050623

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 07.03.1996

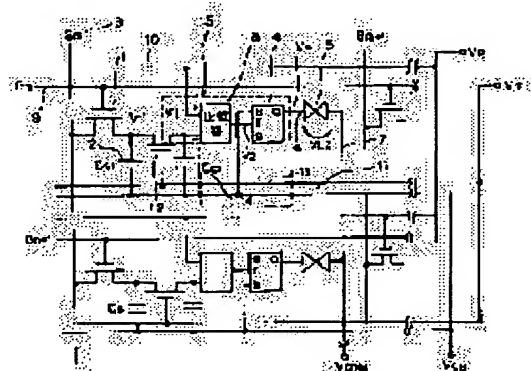
(72)Inventor : AKIYAMA MASAHIKO
HIOKI TAKESHI

(54) LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To make it possible to reduce electric power consumption and to supply gradation signals to liquid crystals by storing display signals and impressing AC voltage having the effective value or average value meeting the same on a liquid crystal layer.

SOLUTION: The signal voltage when a gate line 9 is a high voltage and a transistor(TR) 1 turns on is held in a storage capacitor 2. This storage capacitor 2 is connected to the source of a transistor 12 and the drain of a TR 12 is connected to a voltage comparator 3. The input voltage of this voltage comparator 3 is defined as V1. A storage capacitor(Cs2) 14 is disposed to maintain the voltage of V1. In the case of a static image, the stop of a gate pulse after writing of the voltage for one screen in the storage capacitor(Cs2) 14 is made possible and simultaneously, the stop of a signal line driver is possible as well. The turning off of the power source of the circuits is permitted in stopping the peripheral circuits and, therefore, there is no electric power consumption of DC in addition to the electric power consumption by AC and the electric power consumption is made zero.



LEGAL STATUS

[Date of request for examination] 02.05.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3305946

[Date of registration] 10.05.2002

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

特許第3305946号

(P3305946)

(45) 発行日 平成14年7月24日(2002.7.24)

(24) 登録日 平成14年5月10日(2002.5.10)

(51) Int.Cl. ¹	識別記号	F I
G 0 2 F 1/133	5 5 0	G 0 2 F 1/133 5 5 0
	5 7 5	5 7 5
G 0 9 G 3/36		G 0 9 G 3/36

請求項の数5(全 8 頁)

(21) 出願番号	特願平8-50623	(73) 特許権者	000003078 株式会社東芝 東京都港区芝浦一丁目1番1号
(22) 出願日	平成8年3月7日(1996.3.7)	(72) 発明者	秋山 政彦 神奈川県横浜市磯子区新磯子町33 株式 会社東芝 生産技術研究所内
(65) 公開番号	特開平9-243994	(72) 発明者	日置 毅 神奈川県横浜市磯子区新磯子町33 株式 会社東芝 生産技術研究所内
(43) 公開日	平成9年9月19日(1997.9.19)	(74) 代理人	100077849 弁理士 須山 佐一
審査請求日	平成13年5月2日(2001.5.2)	審査官	井口 猪二
		(56) 参考文献	特開 平7-253764 (J P, A)

最終頁に続く

(54) 【発明の名称】 液晶表示装置

1

(57) 【特許請求の範囲】

【請求項1】 画素毎に形成される複数の第1の電極と第2の電極と相互作用するように配置された液晶層と、画素毎に形成され表示信号を選択する選択手段と、画素毎に形成され前記選択手段によって選択された前記表示信号を記憶するとともに前記表示信号に応じたアナログ信号を出力する記憶手段と、画素毎に形成され前記アナログ信号に応じた交流電圧を前記液晶層に印加する電圧印加手段とを具備し、前記電圧印加手段は、前記第1の電極に第1の交流電圧を印加する第1の電圧印加手段と前記第2の電極に前記第1の交流電圧に対して前記アナログ信号に応じて位相をずらした第2の交流電圧を印加する第2の電圧印加手段とを有することを特徴とするアクティブマトリックス型液晶表示装置。

2

【請求項2】 前記第1の交流電圧および前記第2の交流電圧の中、少なくとも一方が方形波形を有してなることを特徴とする請求項1記載のアクティブマトリックス型液晶表示装置。

【請求項3】 前記記憶手段は、第1のタイミングで前記選択手段によって選択された前記表示信号を記憶し、前記第1のタイミングに対して予め決められた遅延を掛けた第2のタイミングで前記第2の電圧印加手段に前記表示信号を出力してなることを特徴とする請求項1記載のアクティブマトリックス型液晶表示装置。

【請求項4】 前記第2の電圧印加手段は、周期的に変わる参照電圧印加手段をさらに具備し、アナログ信号を参照電圧と比較して前記参照電圧の変化の周期の開始後前記アナログ信号が前記参照電圧と一致するまでの時間に応じた位相差を有する前記第2の交流電圧を前記第2

の電極に印加してなることを特徴とする請求項1記載のアクティブマトリックス型液晶表示装置。

【請求項5】 アナログ信号の表示信号を送出する信号線と、

前記信号線に接続され、前記表示信号をデジタル信号に変換する第1の変換手段と、

前記デジタル信号を記憶する記憶手段と、

前記記憶手段に記憶された前記デジタル信号をアナログ信号に変換する第2の変換手段とをさらに具備することを特徴とする請求項1記載のアクティブマトリックス型液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶表示装置に関する。

【0002】

【従来の技術】液晶ディスプレイは、薄型で低消費電力であり、携帯型パソコンなどに広く用いられている。今後特に消費電力が小さいことが他のCRT、プラズマディスプレイなどのディスプレイと比べて優れた特徴であり、携帯情報機器への応用が期待されている。

【0003】ところで、携帯機器の場合、ディスプレイの消費電力が500mW以下、できれば数mWと小さいことが望ましい。この要求に対して、従来はTN型液晶の単純マトリックス型で反射型を用いてきた。反射型ではバックライトがないため消費電力が下がるのでよいが、TN型では偏光板が必要であり反射率が30%程度と暗いこと、単純マトリックス型では画素数を増やすとコントラストが下がりさらに見にくくなるなどの問題がある。また、液晶表示に偏光板を用いないPCGH（相変化ゲストホスト型）モードを用いてアクティブマトリックスによる駆動を行うことにより、反射率が高く、コントラストも高い表示を得ることが出来る。

【0004】図10にこのような従来の液晶表示装置の構成を示す。

【0005】同図に示す回路構成は、従来の透過型TN液晶のアクティブマトリックスと同等であり、信号線301、ゲート線302およびその交点にある薄膜トランジスタTFT303により、各画素の液晶304および蓄積容量(Cs)305に電荷を与える。液晶304には交流を印加する必要があり、対向基板の対向電極306の電圧 V_{com} を中心に正電圧、負電圧となるように信号線電圧を与えて実現している。

【0006】このような液晶ディスプレイでは、表示が全く変化しない場合でも交流電圧を印加する必要から信号電圧を与え続ける必要がある。容量に交流を印加する場合の消費電力は、

$$P = f \times V^2 \times C$$

(周波数 f ；電圧 V ；容量 C)となり、周波数に比例する。

【0007】VGAの640×RGB×480画素の場合、信号線用ドライバICのクロック周波数はフレーム周波数60Hz、RGBごとに独立したシフトレジスタを用いるとして、 $60 \times 480 \times 640 = 18\text{MHz}$ となる。駆動回路のICの設計に依存する部分があるが200mW程度となる。各信号線には $60 \times 480 = 29\text{kHz}$ が印加される。対角10.4インチでは信号線1本当たりの容量は約40pF、とするとパネルを駆動することによる消費電力は約50mWとなる。画素数を増やした場合、例えば1600×1200画素ではパネルの消費電力はゲート線に比例するから2.5倍に、駆動ICも同程度以上の割合で増加するから1W近くになり、携帯機器に用いるには問題があった。

【0008】このような問題に対して双安定の強誘電性液晶(SSFLC)を用いると液晶にメモリ性があり、表示が変わらない限り電圧の供給を停止することができることが知られており、消費電力の低減が可能である。

【0009】しかし、このような双安定性を用いると画素は2値でしか動作せず、画面の解像度は大きいものの情報量が大幅に下がってしまう問題があった。特にカラー表示の場合、2値しか表示出来ないと色合いを出すために空間変調(ディザ)や時間変調を行わなければならず、実効的な解像度の低下やちらつきなどの画質の低下が避けられなかった。また、双安定の強誘電性液晶では、衝撃により配向が乱れて表示不良が発生することが知られており、携帯型表示デバイスとしては採用できない問題があった。さらにメモリ性を持った液晶では表示品位(コントラスト、反射率など)が制限されることが多く、SSFLCでも偏光板の使用が不可欠の表示モードであり、反射率は30%程度と暗い画面しか得られない問題もあった。

【0010】

【発明が解決しようとする課題】前述したように、パソコンの画面や携帯情報機器の画面などでは静止画が多く画面が書き変わらないでも信号線に交流を供給することになり、電力を無駄に消費していることになる。

【0011】そこで、本発明では上述の問題点を解決し、電力消費を低減することができる液晶表示装置を提供することを目的とする。

【0012】さらに、本発明では、液晶に階調信号を供給することができ、2値以上の表示が可能となる液晶表示装置を提供することを目的とする。

【0013】

【課題を解決するための手段】上記課題を解決するため、請求項1記載の本発明のアクティブマトリックス型液晶表示装置は、画素毎に形成される複数の第1の電極と第2の電極と相互作用するように配置された液晶層と、画素毎に形成され表示信号を選択する選択手段と、画素毎に形成され前記選択手段によって選択された前記表示信号を記憶するとともに前記表示信号に応じたアナ

ログ信号を出力する記憶手段と、画素毎に形成され前記アナログ信号に応じた交流電圧を前記液晶層に印加する電圧印加手段とを具備し、前記電圧印加手段は、前記第1の電極に第1の交流電圧を印加する第1の電圧印加手段と前記第2の電極に前記第1の交流電圧に対して前記アナログ信号に応じて位相をずらした第2の交流電圧を印加する第2の電圧印加手段とを有することを特徴とするものである。

【0014】前記の請求項1記載のアクティブマトリックス型液晶表示装置は、請求項5記載のように、アナログ信号の表示信号を送出する信号線と、前記信号線に接続され、前記表示信号をデジタル信号に変換する第1の変換手段と、前記デジタル信号を記憶する記憶手段と、前記記憶手段に記憶された前記デジタル信号をアナログ信号に変換する第2の変換手段とをさらに具備することを特徴とする。

【0015】そして、本発明によれば、液晶に交流電圧を印加しながら、画面の書換えが不要な場合には信号線への電圧供給を止めることができる。液晶には実効値としてアナログ的な信号が供給できる。

【0016】さらに、本発明によれば、液晶層を挟持する一方の電極には第1の交流電圧が印加され、もう一方の電極には第2の交流電圧が印加される。したがって、液晶層に印加される電圧波形は、記憶手段が出力するアナログ信号に応じてパルス幅が変調されており、液晶層に印加される交流電圧の実行値を表示信号により制御することができる。つまり、本発明においては、画素内に記憶した表示信号に基づいて交流電圧を生成して液晶層を駆動しているため、表示が変化しない間は、表示信号を画素に供給する必要がなく、消費電力を大幅に低減することができる。

【0017】請求項3記載の本発明は、請求項1記載のアクティブマトリックス型液晶表示装置において、前記記憶手段は、第1のタイミングで前記選択手段によって選択された前記表示信号を記憶し、前記第1のタイミングに対して予め決められた遅延を掛けた第2のタイミングで前記第2の電圧印加手段に前記表示信号を出力してなることを特徴とする。

【0018】そして、本発明によれば、表示信号を記憶手段に一旦記憶した後、所定時間遅延させて第2の印加手段に送るように構成しているため、画像書換え時における画面の乱れを防止することができる。例えば、1画素文の記憶が終わったあとに一旦に第2の印加手段に送ることによって動画時でも問題のない表示ができる。

【0019】請求項5記載のように、請求項1記載のアクティブマトリックス型液晶表示装置は、アナログ信号の表示信号を送出する信号線と、前記信号線に接続され、前記表示信号をデジタル信号に変換する第1の変換手段と、前記デジタル信号を記憶する記憶手段と、前記記憶手段に記憶された前記デジタル信号をアナロ

グ信号に変換する第2の変換手段とをさらに具備し、記憶手段に記憶された表示信号がデジタル信号であることから、信号の変動や各種回路の特性のばらつきの影響を受けずにデータを保持でき、表示画面を良好にできる。さらに、この発明は、信号線にデジタル信号が伝送するようにしてもよい。

【0020】

【0021】

【発明の実施の形態】図1に本発明に係る液晶表示装置の一例を示す。

【0022】同図に示す液晶表示装置は、縦横に画素電極が形成された絶縁基板と対向電極が形成された対向基板との間に液晶を挟持してなるものであり、単位画素毎に、スイッチング用のトランジスタ1、蓄積容量(Cs1)2、電圧比較器3、波形整形器4、画素電極6等を有する。

【0023】絶縁基板上には、表示信号を供給する複数の信号線8とトランジスタ1のオンオフを制御する複数のゲート線9が交差するように形成されており、m列n行目の画素の信号線をSm、ゲート線をGnとする。信号線8はトランジスタ1のソースに接続され、ゲート線9はトランジスタ1のゲートに接続されている。トランジスタ1のドレインには蓄積容量線11に接続された蓄積容量2が接続され、ゲート線9が高電圧でトランジスタ1がオン(トランジスタ1がnチャネル型の場合)した際の信号電圧が蓄積容量2に保持される。この電圧をV1とする。蓄積容量2はトランジスタ12のソースに接続され、トランジスタ12のゲートはタイミング線13に接続され、トランジスタ12のドレインは電圧比較器3に接続される。電圧比較器3の入力電圧をV1とする。蓄積容量(Cs2)14はV1の電圧を維持するために設けられている。

【0024】電圧比較器3のもう一方の入力端は、参照電圧線10に接続されている。参照電圧線10は少なくとも複数の画素(通常は全画素)で共通の電圧が印加される。電圧比較器3は両者の入力電圧の大小を比較して一方の電圧が高くなれば、電圧比較器の出力がハイレベルになるものである。その出力電圧をV2とする。この出力は波形整形器4に供給される。

【0025】波形整形器4はTフリップフロップであり、V2の波形立ち上がりに対応して出力が反転する機能を持っている。その波形整形器4の出力が画素電極6と接続される。

【0026】以上の回路が含まれた絶縁基板に対して対向電極7を持つ対向基板との間に液晶5が設けられ、画素電極6と対向電極7との間の電圧VLCが液晶に印加されることになる。対向電極7の電圧をVcomとする。

【0027】以上の構成に対して、各部の電圧波形を図2に示す。

【0028】まず、静止画状態を基本に考えるとして、

信号電圧のサンプリングは終り、電圧比較器3の入力はV1の電圧となっているとする。参照電圧線10にはランプ波を、対向電極7にはこの参照電圧とタイミング、周期を合わせた方形波を、印加する(図2(a))。図2(a)には参照線電圧Vr(実線)と蓄積容量の電圧V1(一点鎖線)の両方を示す。Vrは120Hzのランプ波とした。ランプ波とV1の比較でランプ波の電圧が低いと電圧比較器3の出力電圧V2がローレベル、高くなったタイミングでハイレベルとなり、図2(b)の波形が得られる。出力電圧V2の出力波形の立ち上がり10のタイミングで波形整形器3の出力である画素電圧Vpが図2(c)のようなランプ波に対して位相がシフトした方形波となる。

【0029】対向電極7の電圧Vcomは図2(d)に示すようにランプ波とはほぼ同じ位相での方形波を与えている。Vp、Vcomの波高をVHとすると、液晶5に印加される電圧VLC(=Vp-Vcom)は、図2(e)に示すような3値の波形で±VHの振幅を持ち、パルス幅Twがランプ波と画素電圧Vpの位相差に対応する波形となる。液晶は一般に実効値に反応して動作するものが多いのでこのパルス幅が変化することで液晶への実効電圧値が制御され、光学応答(光透過率、反射率など)が得られる。なお、図2(e)において、一点鎖線は実線に対する実効値、二点鎖線は破線に対する実効値を示す。

【0030】液晶は、ゲストホスト型としたが、TN型でもよく、コレステリック液晶や、強誘電性液晶、反強誘電性液晶、高分子分散型液晶、などでもよく、表示方式も自由であり、光学的な変化の分類でいえば、透過-吸収を得るもの、透過-散乱を得るもの、散乱-吸収を得るもの、などいずれでもよい。強誘電性液晶あるいは反強誘電性液晶では、図2(e)の実線あるいは点線の電圧が印加される場合、液晶の印加電圧に対する光学応答が速いので、印加電圧の平均値が液晶の光学応答を決定することとなる。画素の素子数が多いので素子の上に絶縁膜を設けて画素電極を形成した反射型が望ましいが、画素サイズによっては透過型でも可能である。モノクロでもカラー表示でも当然かまわない。

【0031】以上の構成の結果、静止画の場合では、蓄積容量(Cs2)14に1画面分の電圧を書き込んだ後にゲートパルスを止めることができ、同時に信号線ドライバも停止することができた。周辺回路の停止では回路の電源を切ってしまうことができることから交流による電力消費の他に直流的な電力消費もなくすることができ、消費電力を0にできた。液晶に交流を印加する回路の周波数は参照電圧Vr、対向電極Vcomとも120Hzと低周波であり、Vr、Vcomを供給する外部回路の消費電力は数十mWと小さかった。画素内の回路も多結晶Si TFTを用いたCMOS回路で構成しており、直流消費電力も同程度に小さかった。総合的に対角13インチ

(A4サイズ)の液晶ディスプレイで50mWと十分小

さい値が実現出来た。なお、蓄積容量の放電により電圧が数%変化する時間ごとに同じ画像情報を書込む必要があるが、数秒~数分毎であるため、平均した消費電力は数十mWの増加となるに留まった。

【0032】図2(a)では参照電圧はランプ波としたが、図2(a)のように階段波とすることも可能である。この場合階調数に合わせた段数とすることができるが、この場合は入力電圧V1が多少ばらついていても所定の階調とすることが出来ることから画面を均一にすることが出来る。画素が細かい場合は1画素あたりの階調数は16階調程度でも十分であることからこのような階段波は有効な方法といえる。

【0033】次に、信号電圧のサンプリングについて、図3の波形を使って説明する。

【0034】静止画が中心の場合(ドキュメントビューなど)では、信号のサンプリングタイミングは任意でよいと考えられるが、動画表示を行う場合、静止画でも画像書換え時に画面が乱れるのを嫌う場合はタイミングを合わせる必要がある。この例の場合次のような駆動方法で解決できる。

【0035】図3でゲートパルス波形Gnが高電圧となる期間に信号線電圧Smをサンプリングして蓄積容量(Cs1)2上にV1'の電圧が決まる。通常のTV信号ではCRTを基本としていることから帰線期間が存在する。他の信号源の場合でも画面を書換える期間(信号書込み期間)を全フレーム周期より若干短くして余剰の時間を設けることができる。これらの期間(帰線期間と総称する)の間にトランジスタ12をオン、オフするVTを高電圧にして蓄積容量(Cs1)2の電圧を1フレームの同一タイミングで電圧比較器3の入力電圧V1を保持する蓄積容量(Cs2)14に移すことにより、画面の上下に関わらず適正な信号が1フレームごとに電圧比較器3に供給されるので動画でも問題のない良好な表示が得られる。なお、電荷が分割されることからV1はV1'よりも小さい値になるが低減分を考慮して信号電圧を印加すればよい。

【0036】図1において、波形整形器4には、セット、リセット端子が設けられており、画素ごとにどちらか一方を共通に接続している。同図に示す例ではセット端子を蓄積容量線11に接続した。画素ごとにどちらを接続するかは、任意であるが、セット端子を接続した場合とリセット端子を接続した場合で液晶に印加される電圧の極性が逆にできるので、隣接画素ごと、あるいは数画素ごとに接続を変えることで正負の極性のバランスのずれによるフリッカの発生を抑えることができる。これにより画面全体でちらつくことがなく良好な画像を得ることができる。なお、蓄積容量線11はディスプレイを動作させる最初の時にハイレベルにしてからその後はローレベルに保持することで初期の電圧位相を合わせる事が可能になる。図4に電圧比較回路の一例、図5に

波形整形回路の一例を示す。図5(a)は波形整形回路の論理回路の構成であり、図5(b)にこの論理回路の構成要素であるナンド回路の回路図、図5(c)にこの論理回路の構成要素である反転回路の回路図である。これらの回路は、いずれも多結晶SiTFTによるCMOSの回路となっている。回路構成としては別のものでもよく、nチャネルトランジスタのみで構成することも可能である。トランジスタは多結晶SiTFTの他、アモルファスシリコンTFTでもよく、CdSeなどの化合物半導体でもよい。

【0037】図6に本発明の他の例の画素回路を示す。

【0038】同図に示す回路は、ゲート線110、信号線109の交点に画素があり、トランジスタ101を介して蓄積コンデンサ102に電圧を保持するメモリ構成である。その出力をアナログバッファ104で受け、反転信号を形成する反転回路105があり、アナログバッファ104または反転回路105のいずれかを選択するアナログスイッチ106を通して対向電極113との間に挟持された液晶108に電圧を印加する駆動回路103となっている。すなわち、アナログスイッチ106の切替えにより極性の反転するパルス(交流)を順次液晶108に印加している。

【0039】アナログスイッチ106に印加される信号反転は反転信号線112に印加される信号V_{ac}のタイミングで切替えられるようになっており、ここではフリップフロップ107で実現した。液晶に印加する信号の交流周期はこのV_{ac}の周期の2倍と同じとなり、例えばV_{ac}を120Hzとすれば液晶には60Hzで供給される。最初の例と同様に起動時にフリップフロップの極性を決めるセット、リセットパルスを印加することで画素ごとの電圧極性を制御できる。同パルスを補助容量線111で供給するようにしたが、別の供給線を設けてもよい。

【0040】この例では各画素で交流電圧を生成することから、信号を画面全体で同時に供給する図1のトランジスタ12のような回路は不要にできる。また、対向電極の電圧は一定とすることができ、その部分での消費電力を低減できる。

【0041】図7に本発明のさらに他の例の画素回路のブロック図を示す。

【0042】同図に示す回路では、ゲート線207、信号線206があり、サンプリング回路201により、画素の階調信号をデジタル信号として得てメモリ回路202に保存する。サンプリング回路では信号線をビット数に合わせて複数にすることも可能であるが、この例では時分割に供給し、クロック信号線208のタイミングで各ビットの情報を得るようにしている。その伝送方式は他の方法でもよく、この例ではメモリがデジタルデータを保存することが特徴である。アナログ信号を信号線から供給し、アナログ-デジタル変換器(ADC)によりメモリ702に記憶することもできる。このメモリの出力はデジタル-アナログ変換器(DAC)203を通してアナ

ログ信号に変換され、液晶駆動回路(204)を介して液晶205に電圧を供給する。液晶駆動回路としては図1の駆動回路15や図6の駆動回路103などを採用できる。

【0043】この例ではメモリ部がデジタルであることから信号の変動やサンプリング回路、メモリ回路の特性のばらつきの影響を受けずにデータを保持できるので画像の良好にできる。さらに、メモリ回路として薄膜トランジスタとすることで素子数が低減できるとともにリフレッシュがほぼ完全に不要となり、全体の電源を切っ

てしまっても、再度電源を入れれば前の画面が得られることから、外部のビデオメモリを省略することが可能である。これによってコスト削減とともにさらなる低消費電力が可能となる。

【0044】図8は以上の例いずれにも適用できる別の構成例である。

【0045】すなわち、同図に示す回路構成は、画面の任意の箇所に書き込みが出来るもので、トランジスタ801とトランジスタ802が同時にオンしたとき画素に信号線806からデータを画素に書き込むようになっている。トランジスタ801のオンオフはYゲート線807、トランジスタ802のオンオフはXゲート線808により行われる。この後にメモリ回路803、液晶駆動回路804があり、液晶805に電圧が印加される。任意の画素に書き込むことにより、画面の変化する点のみの書換えによる信号供給量の低減に伴う低消費電力化が得られる。さらに、静止画の中の一部に動画が出る窓があれば、動画部分のみ高速で画像を書き込むことができるようになる。なお、図8の構成はトランジスタ2つで作られているが、他の方法でも良い。例えば非線形素子を入れてある電圧以上になると始めてオンするようになっていても良い。

【0046】図9は図1の例を図8に基づいた変形を行った場合のシステムブロック図である。同図に示すように、各画素が図1に示した回路構成を有する液晶表示素子901には、信号線駆動回路902、ゲート線駆動回路903、対向電極駆動回路904、基準電圧波形発生回路905、タイミング発生回路906、CS線駆動回路907が接続されている。静止画VRAM908、動画用VRAM909の表示信号がD/A変換回路DAC910を介して信号線駆動回路902に供給され、タイミング発生回路906が各部に所定のタイミング信号を供給することで、装置が駆動される構成となっている。

【0047】この例では、動画用VRAM909を用意して動画信号を供給することにより、静止画部分はVRAMでの消費電力を低減することができる。VRAMとしては同一として動画部分をその一部のブロックとすることも可能である。

【0048】なお、図1の例で述べた回路方式や液晶表示方式のバリエーションは他の例でも同様に適用することができる。

【0049】その他、本発明の趣旨を逸脱しない範囲で

あれば様々な変形をすることは可能である。

【0050】

【発明の効果】以上詳述したように、本発明によれば、液晶ディスプレイでの消費電力を低減することができる。また、メモリ性を有していながら、液晶は階調を得ることができるので画像の情報量を高めることができ、良好な画質が得られる。

【図面の簡単な説明】

【図1】 本発明の一例に係る画素部の回路図。

【図2】 本発明の一例に係る電圧波形図。

【図3】 本発明の一例に係る電圧波形図。

【図4】 本発明の一例に係る電圧比較回路の詳細回路図。

【図5】 本発明の一例に係る波形整形回路の詳細回路図。

【図6】 本発明の他の例に係る画素部の回路図。

【図7】 本発明の他の例に係る画素部の回路図。

【図8】 本発明の他の例に係る画素部の回路図。

10

*

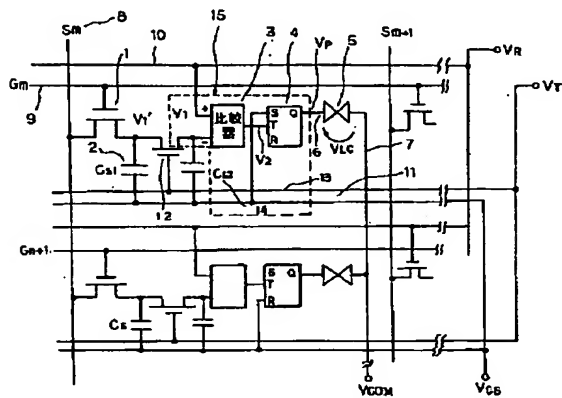
*【図9】 本発明の他の例に係るディスプレイシステムブロック図。

【図10】 従来の画素部の回路図。

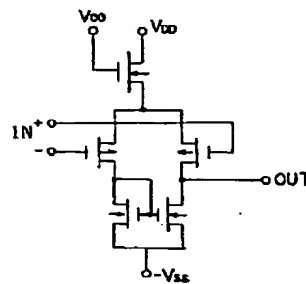
【符号の説明】

- 1 薄膜トランジスタ
- 2、14 蓄積容量
- 3 電圧比較器
- 4 波形整形器
- 5 液晶
- 6 画素電極
- 7 対向電極
- 8 信号線
- 9 ゲート線
- 10 参照電圧線
- 11 蓄積容量線
- 12 薄膜トランジスタ
- 15 液晶駆動回路

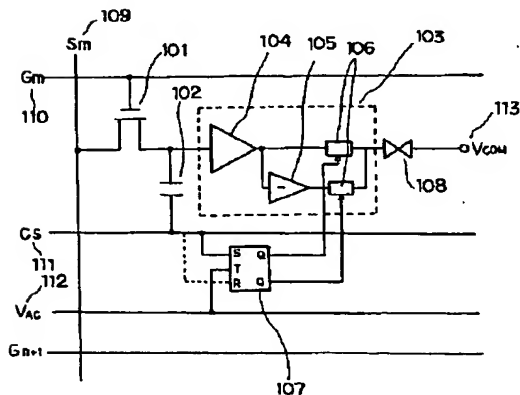
【図1】



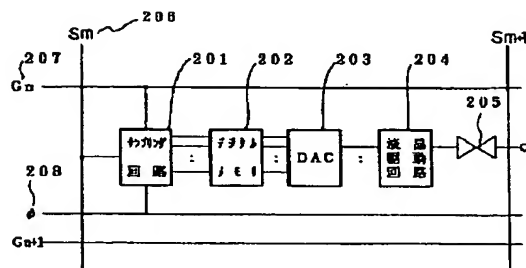
【図4】



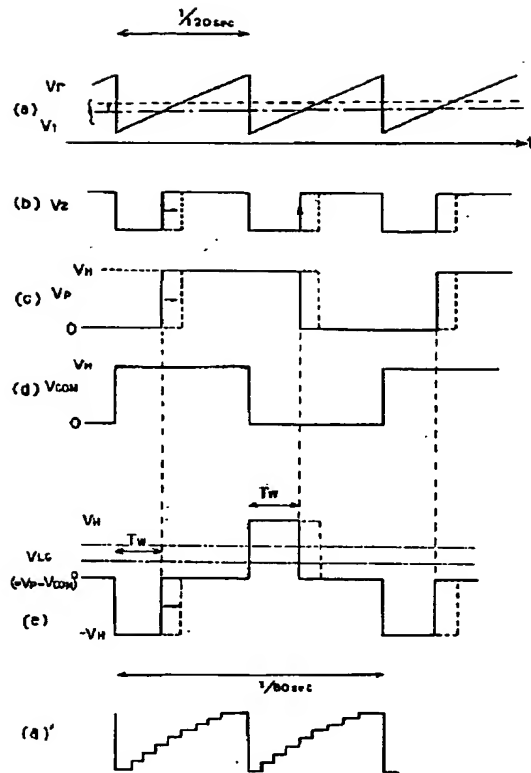
【図6】



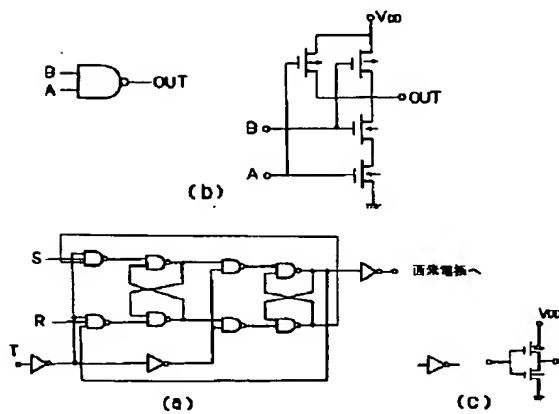
【図7】



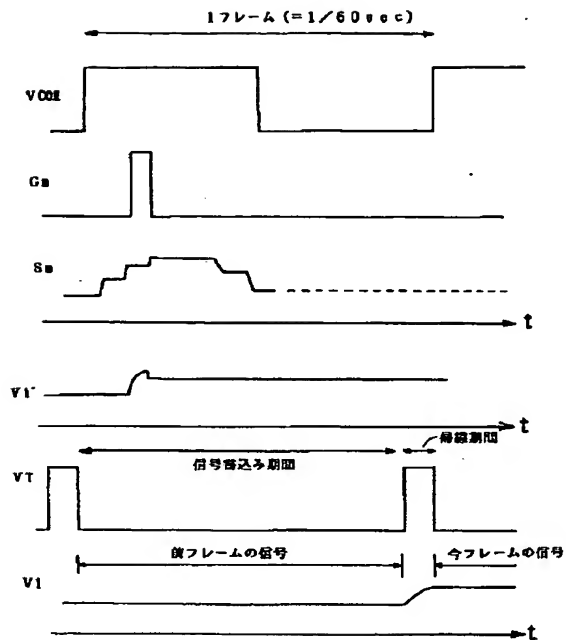
【図2】



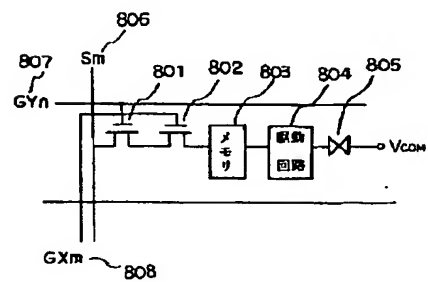
【図5】



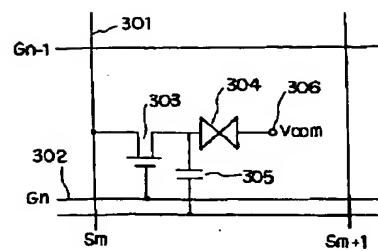
【図3】



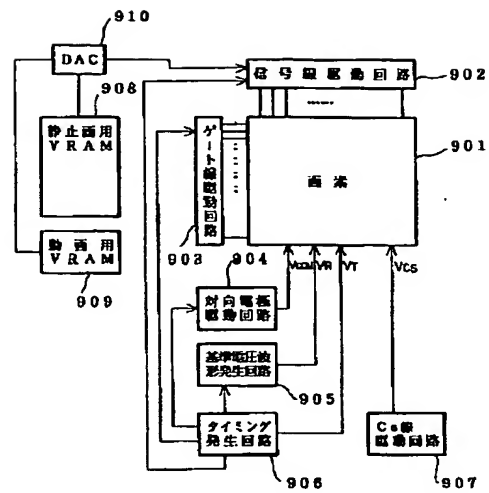
【図8】



【図10】



【図9】



フロントページの続き

(58)調査した分野(Int.Cl.⁷, D B名)

G02F 1/133 550

G02F 1/133 575

G09G 3/36